

## SEMICONDUCTOR INTEGRATED CIRCUIT

Patent Number: JP4170063  
Publication date: 1992-06-17  
Inventor(s): HATTA TOSHIYA  
Applicant(s): NEC IC MICROCOMPUT SYST LTD  
Requested Patent: ☐ JP4170063  
Application Number: JP19900297460 19901102  
Priority Number(s):  
IPC Classification: H01L27/04  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To improve the breakdown withstanding voltage of a semiconductor integrated circuit having a static protection circuit by a method wherein a MOS transistor having a threshold voltage whose absolute value is larger than the power supply voltage of an internal circuit and which is smaller than the breakdown voltage of the diode of the internal circuit is included.

**CONSTITUTION:** A source terminal 4 is connected to a power supply potential point, a drain terminal is connected to an outer terminal 1, a gate terminal is connected to an input terminal and, further, a MOS transistor having a threshold voltage whose absolute value is larger than the power supply voltage of an internal circuit 9 and which is smaller than the breakdown voltage of the diode 6 of the internal circuit 9 is included. Therefore, when an excessive surge voltage exceeding the power supply voltage is applied by the outer terminal 1 which can be inserted and extracted in a live state, a voltage equal to the threshold voltage of the MOS transistor 2 is applied to the gate terminal of the MOS transistor 2 having the threshold voltage whose absolute value is larger than the power supply voltage of the source terminal 4 and, at the same time, the MOS transistor 2 is turned on and an electric energy is discharged from the drain terminal to the power supply terminal 4. With this constitution, an electronic energy applied to the input buffer element 6 is suppressed and the breakdown voltage can be improved.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-170063

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)6月17日

H 01 L 27/04

H

7514-4M

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-297460

⑰ 出 願 平2(1990)11月2日

⑱ 発 明 者 八 田 敏 也 神奈川県川崎市中原区小杉町1丁目403番53 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

直列抵抗を介して内部回路の入力端に接続されるとき、他端が接地されているダイオード特性素子の一端に接続されている外部端子を有する静電保護回路を含む半導体集積回路において、ソース端子が電源電位点に接続されドレイン端子が前記外部端子に接続されゲート端子が前記入力端に接続され、かつ前記内部回路の電源電圧よりも絶対値が大きくて内部回路のダイオードのブレークダウン電圧より小さく設計されたしきい値電圧を有するMOSトランジスタを含むことを特徴とする半導体集積回路。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特に活線揮発可能な外部端子の静電保護回路に関するものである。

(従来技術)

従来、半導体集積回路の外部端子の静電保護回路は通常は第5図に示すように、例えば拡散ダイオード7、8と抵抗素子5により入力バッファ6を入力例とする内部回路9に対して静電保護回路を構成している。

しかし活線揮発可能とするためには電源をオフした時に、外部から供給される正電源なら“H”レベル、負電源なら“L”レベルの信号に対し電流経路を有してはいけなないので、第3図および第4図に示すように電源電位側への(すなわち電源端子4に接続される)拡散ダイオードを設けない静電保護回路を構成していた。

(発明が解決しようとする課題)

上述した従来の活線揮発可能な外部端子の静電保護回路を有する半導体集積回路は、通常の静電保護回路と異なり電源電位側への電流経路がない

ため、外部から外部端子へ絶対値が電源電圧を超える過大なサージ電圧が印加された場合に主に接地電位側へ接続された拡散ダイオードがブレイクダウンして電気エネルギーは基板へ放出される。

この時、一般にブレイクダウン電圧は15V以上と高く、このため入力バッファにおける素子にも電気エネルギーが加わり易く、入力バッファの素子を破壊してしまうということが生じてしまい、耐破壊電圧を大きくすることが困難であるという欠点があった。

〔課題を解決するための手段〕

本発明の半導体集積回路装置は、直列抵抗を介して内部回路の入力端に接続されるとともに、他端が接地されているダイオード特性素子の一端に接続されている外部端子を有する静電保護回路を含む半導体集積回路において、ソース端子が電源電位点に接続されドレイン端子が前記外部端子に接続されゲート端子が前記入力端に接続され、かつ前記内部回路の電源電圧よりも絶対値が大きくて内部回路のダイオードのブレイクダウン電圧よ

15Vのダイオードである。

通常のトランジスタの酸化膜厚は0.015 $\mu$ mであるが、ここでは0.17 $\mu$ mにすると約10Vのしきい値電圧 $V_T$ を有するトランジスタが得られる。

次に回路の動作を説明すると電源端子4に5Vが供給される使用状態では、外部端子へ論理振幅0Vから5Vの信号が入力されてもNチャネルトランジスタ2はゲートと基板間に10Vを超えることはなく常にオフ状態であり、電源端子4が接地電位0Vに短絡されたチップのオフ状態でも同様にNチャネルトランジスタ2はオンすることなく、外部端子1は活線挿抜可能である。

さらに、外部端子1へ電源電圧5Vを超える過大なサージ電圧が印加された場合、サージ電圧が10Vを超えるとNチャネルトランジスタ2はオンし、電気エネルギーは電源端子側へ放出され始める。

これは、ダイオード3のブレイクダウンにより電気エネルギーを基板へ放出するより早く入力バ

り小さく設計されたしきい値電圧を有するMOSトランジスタを含んで構成されている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例の回路図である。

1はボンディングパッドへ接続される入力バッファ用の外部端子であり、4は電源電圧5Vが供給される電源端子であり、5は抵抗素子であり、6は入力バッファであり、2はゲートポリシリコン直下の絶縁膜の膜厚やチャネルドーピングの制御によって電源電圧5Vより大きくドレインと基板で構成されるダイオードのブレイクダウン電圧15Vより小さいしきい値電圧 $V_T$  10Vに調整されたNチャネルトランジスタであり、ドレイン端子は直接、ゲート端子は抵抗5を介して外部端子に接続され、ソース端子は電源端子に接続されている。また、3はNチャネルトランジスタ2のドレインと基板で構成されるブレイクダウン電圧

ッファ6の素子に加わる電気エネルギーを低減することができる。

また、外部端子1へ負の過大なサージ電圧が印加された場合は、従来と同様にダイオード3が順方向となり基板へ容易に電気エネルギーを放出してくれる。

第2図は負電源による活線挿抜可能な外部端子における本発明の第2の実施例の回路図である。

11は電源電圧-5Vが供給される電源端子であり、9は電源電圧の絶対値5Vより大きい $V_T$ の絶対値10Vに調整されたPチャネルトランジスタであり、10はPチャネルトランジスタ9のドレインと基板で構成されるブレイクダウン電圧15Vのダイオードである。この回路動作特性は第1の実施例で述べたものと同様である。

〔発明の効果〕

以上説明したように本発明の半導体集積回路は、活線挿抜可能な外部端子において絶対値が電源電圧を超える過大なサージ電圧が印加されたときに、ソース端子が電源端子に接続されていて電

源電圧より絶対値が大きいしきい値を有するMOSトランジスタのゲート端子にしきい値電圧と同じ電圧が加わるとともにMOSトランジスタがオン状態となり、ドレイン端子より電源端子へ電気エネルギーが放出される。

このことにより入力バッファの素子へ加わる電気エネルギーが低減され破壊電圧を大きくすることができるといふ効果がある。

#### 図面の簡単な説明

第1図は本発明の第1の実施例の回路図、第2図は本発明の第2の実施例の回路図、第3図、第4図はそれぞれ従来の活線挿抜可能な半導体集積回路の例の回路図、第5図は従来の半導体集積回路の他の例の回路図である。

1…パッド接続外部端子、2, 9…MOSトランジスタ(高 $V_T$ )、3, 10…ダイオード接続MOSトランジスタ、4, 11…電源端子、7, 8…拡散ダイオード、9…内部回路。

代理人 弁理士 内原 晋

